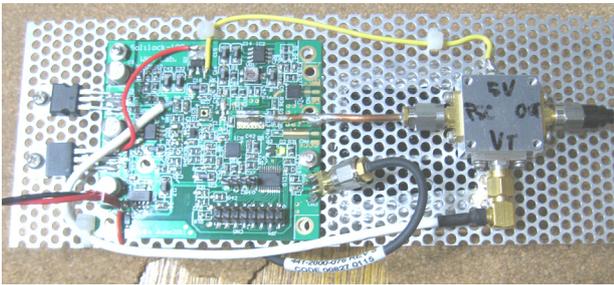


24GHz帯低雑音PLL発振器の実験

2011/11/20 JF1WKX 勝間伸雄

10GHz帯のPLL発振器の検討を行った際、24GHz帯でも低雑音化が可能では?と思い、調子に乗って実験しました。

24GHzで-95dBc/Hzの位相雑音が実現できました。-100dBc/Hz以下を目指し、来年も頑張ります。



構成

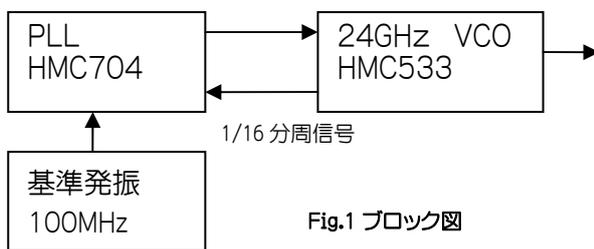


Fig.1 ブロック図

PLL 周辺回路は、別稿の「Solilock10Gver2」基板を流用します。基板上のVCOを削除し、外部に24GHz帯のVCOを接続しました。

実験に使ったVCOブロックは、以前、時藤 OM に分けていただいたものです。

VCO ICには、発振周波数の16分周出力があり、PLLICにはこの16分周信号をフィードバックしています。PLLICは50MHzで位相比較しています。位相比較器はintegerモードで動作しています。

位相雑音の予測

PLLの雑音が位相比較器で発生する雑音が支配的だとすると、位相雑音PNは以下の様に予測出来ます。

$$PN_{flick} = FlickerFOM + 20\log(fvco) - 10\log(foffset)$$

$$PN_{floor} = FloorFOM + 10\log(fpd) + 20\log(fvco/fpd)$$

$$PN = 10\log(10(PN_{flick}/10) + 10(PN_{floor}/10))$$

ここで、

PN_{flick}は低い周波数に出てくる1/f雑音です。

PN_{floor}は、PLLの帯域の平坦な部分の雑音です。

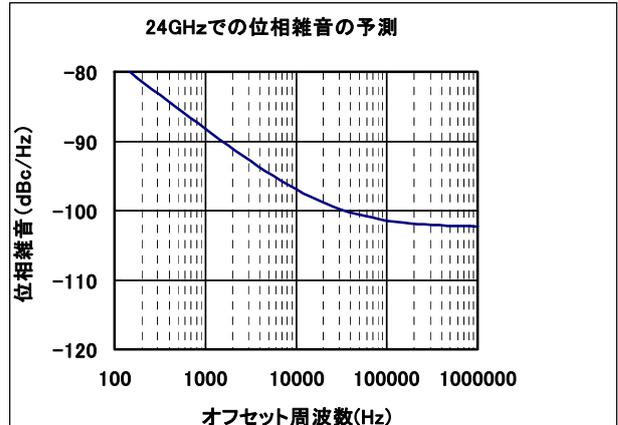
FlickerFOM、FloorFOMはIC固有の性能を示す指数で、HMC704では、

$$FlickerFOM = -266\text{dB}/\text{Hz}, \text{FloorFOM} = -233\text{dB}/\text{Hz}$$

です。

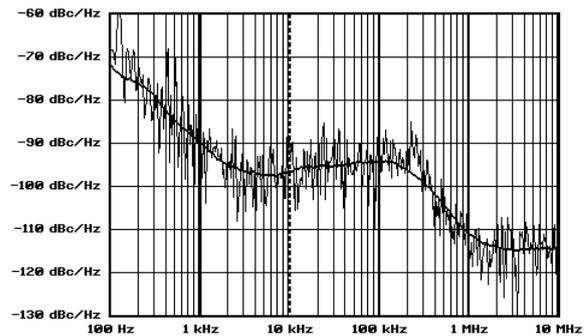
上記計算式から、位相雑音の予測はオフセット周波数100kHzで-100dBc/Hz以下になりそうです。

はたしてどうなるでしょうか。ドキドキして来ました。



結果

Solilock10Gv2基板、VCOユニット、100MHzOCXOを接続し、24GHzを発振させ、スペクトラムアナライザR3273とデータ処理プログラムpn.exeを使い、位相雑音を測定しました。



Trace	Carrier Hz	Carrier dBm	dBc/Hz at 10000 Hz	RF Atte
lock10G_24GHz	23 999 952 430	-20.00	-96.5	10

Fig.3 発振周波数 24GHz の位相雑音実測値(pn.exe)

実測では数 kHz から予測から外れ、100kHzでは-95dBc/Hz程度になっています。

予測と実測の6dB程の差はどこで発生しているのでしょうか。

答えを求めて来年もまた「PLL 馬鹿」の状態が続きそうです。

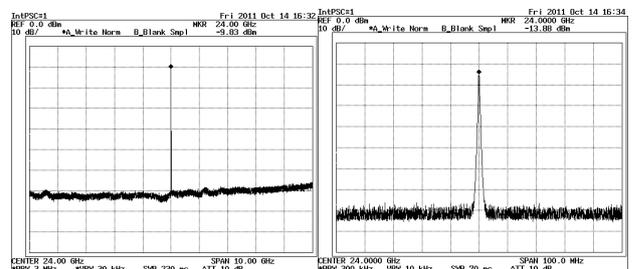


Fig.4 24GHz±5GHz

Fig.5 24GHz±50MHz

参考文献

(1) Hittite: HMC704, HMC533 データシート

(2) John Miles: The KE5FX GPIB Toolkit

<http://www.ke5fx.com/>